

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 15 日 (15.09.2005)

PCT

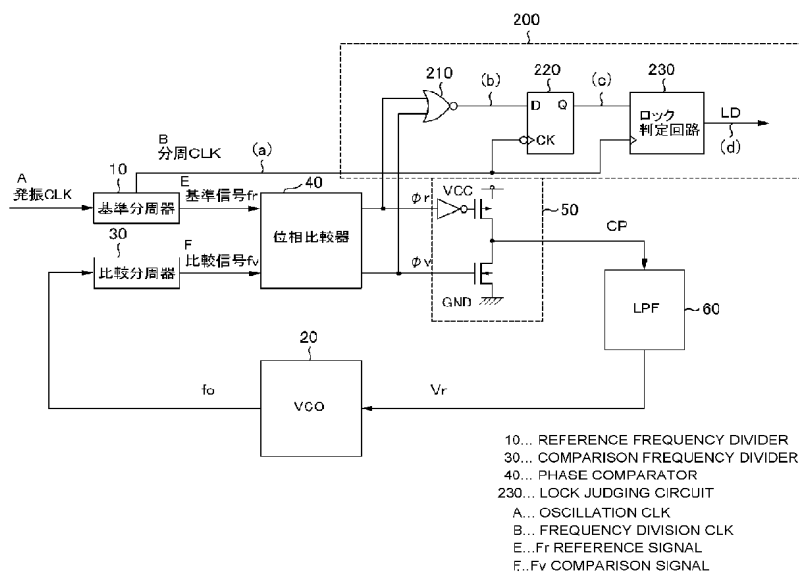
(10) 国際公開番号
WO 2005/086353 A1

- (51) 国際特許分類⁷: H03L 7/095 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/002157 (75) 発明者/出願人 (米国についてのみ): 木村 修治 (KIMURA, Syuji) [JP/JP]; 〒3700311 群馬県新田郡新田町瑞木 6 2-1 Gunma (JP). 橋爪 崇 (HASHIZUME, Takashi) [JP/JP]; 〒3700533 群馬県邑楽郡大泉町仙石 3-2 5-1-5-3 0 3 Gunma (JP).
(22) 国際出願日: 2005 年 2 月 14 日 (14.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 一色国際特許業務法人 (ISSHIKI & CO.); 〒1050004 東京都港区新橋 2 丁目 1 2 番 7 号 労金新橋ビル Tokyo (JP).
(30) 優先権データ: 特願2004-057529 2004 年 3 月 2 日 (02.03.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, (JP).

[続葉有]

(54) Title: LOCK DETECTING CIRCUIT, LOCK DETECTING METHOD

(54) 発明の名称: ロック検出回路、ロック検出方法



(57) Abstract: [PROBLEMS] To enhance accuracy of lock detection. [MEANS FOR SOLVING PROBLEMS] A lock detecting circuit for detecting whether a PLL circuit is in locked state or not based on a phase difference signal being fed from a phase comparator in the PLL circuit, comprising a first circuit delivering a control signal having one level when the phase difference signal does not indicate occurrence of a phase difference and having the other level when the phase difference signal indicates occurrence of a phase difference, a second circuit for latching the control signal, and a third circuit outputting a lock detection signal indicative of locked state of the PLL circuit for a predetermined second period when the latched control signal indicates one level for a predetermined first period.

(57) 要約: 【課題】ロック検出の精度を向上させる。【解決手段】PLL回路の位相比較器から供給される位相差信号に基づいて前記PLL回路がロック状態であるか否かを検出するロック検出回路において、前記位相差信号が前記位相差の発生を示

[続葉有]

WO 2005/086353 A1



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

さない場合には一方のレベルを有するとともに、前記位相差の発生を示す場合には他方のレベルを有した制御信号を出力する第1の回路と、前記制御信号をラッチする第2の回路と、前記ラッチされた制御信号が前記一方のレベルを所定の第1の期間示す場合、前記PLL回路がロック状態であることを示すロック検出信号を所定の第2の期間出力する第3の回路と、を有する。

明 細 書

ロック検出回路、ロック検出方法

技術分野

[0001] 本発明は、PLLのロック検出回路、PLLのロック検出方法に関する。

背景技術

[0002] 図6は、PLL回路を含めた従来のロック検出回路600の構成を示す図である(例えば、特許文献1参照)。

[0003] まず、PLL回路は、基準分周器510、電圧制御発振器(以下、VCO)520、比較分周器530、位相比較器540、チャージポンプ550、ローパスフィルタ(以下、LPF)560と、を有する。

[0004] 基準分周器510は、所定の発振回路において生成された発振クロック信号を分周して、位相比較器540に基準信号 f_r を供給するための分周器である。VCO520は、印加電圧に応じて発振周波数が制御されるものである。VCO520の発振出力 f_o は、通常、PLL回路が組み込まれた電子機器のシステムクロックとして用いられる。

[0005] 比較分周器530は、VCO520の発振出力 f_o を分周して、位相比較器540に比較信号 f_v を供給するための分周器である。なお、比較分周器530の分周数は、VCO520の発振出力 f_o として要求される発振周波数に応じて設定される。

[0006] 位相比較器540は、基準信号 f_r と比較信号 f_v の位相を比較する。位相比較器540は、基準信号 f_r の位相が比較信号 f_v の位相より進んでいるとき、その位相差に応じた位相差信号 Φ_r をチャージポンプ550に供給する。反対に、基準信号 f_r の位相が比較信号 f_v の位相より遅れているとき、その位相差に応じた位相差信号 Φ_v をチャージポンプ550に供給する。

[0007] チャージポンプ550は、位相差信号 Φ_r 及び Φ_v に応じたレベルを有する電圧信号CPを、LPF560に供給する。LPF560は、電圧信号CPから高調波成分を除去するとともに電圧信号CPを直流化した直流電圧 V_r を、VCO520に供給する。この結果、VCO520は、位相差信号 Φ_r に応じた直流電圧 V_r が供給された場合には、発振周波数を高めて比較信号 f_v の位相を進めるよう作用する。反対に、位相差信号 Φ_v に

応じた直流電圧 V_r が供給された場合には、発振周波数を低くして比較信号 f_v の位相を遅らせるように作用する。

[0008] このように、PLLの負帰還回路が構成されることで、最終的には、基準信号 f_r と比較信号 f_v との間の位相差が生じなくなる。つまり、VCO520の発振出力 f_o の発振周波数は、所望の周波数にロックされた状態になる。

[0009] 従来のロック検出回路600は、こうしたロック状態を検出するための回路であり、NOR素子610、Dフリップフロップ(以下、FF)620、640、650、AND素子630から構成される。以下、従来のロック検出回路600の構成ならびに動作について、図6の回路図、図7のタイミングチャートをもとに説明する。

[0010] なお、図7において、(a)はFF620、640に供給されるクロック信号、(b)はNOR素子610の出力、(c)はAND素子630の出力、(d)は最終段のFF650へのデータ入力、(e)は最終段のFF650の出力を表すこととする。

[0011] NOR素子610は、位相差信号 Φ_r 及び Φ_v がともにLレベルの場合、つまり、基準信号 f_r と比較信号 f_v との間に位相差が生じない場合(ロック状態)や位相比較が行われない場合にHレベルを出力し、その他の場合(アンロック状態)ではLレベルを出力する(図7(b)参照)。

[0012] FF620は、データ入力端子にはNOR素子610の出力が入力され、クロック入力端子には基準分周器510において所定分周されたクロック信号(図7(a)参照)が入力される。よって、FF620は、入力されたクロック信号の立ち上がりに応じて、NOR素子610の出力をラッチ(保持)する。

[0013] AND素子630は、ラッチ前後のNOR素子610の出力の論理積を出力する。つまり、AND素子630は、NOR素子610の出力がロック状態を示すHレベルであり、且つ、FF620においてラッチされたレベルがHレベルのとき、Hレベルを次段のFF640のデータ入力端子に入力させる(図7(c)参照)。

[0014] FF640は、データ入力端子にはAND素子630の出力が入力され、クロック入力端子にはFF620に入力されたものと同じクロック信号が入力される。よって、FF640は、入力されたクロック信号の立ち上がりに応じて、AND素子630の出力をラッチする。そして、このラッチされたAND素子630の出力を反転させた反転信号が、次段のF

F650のデータ入力端子に入力される(図7(d)参照)。

[0015] すなわち、FF640は、NOR素子610の出力がHレベルを示す期間が2サイクル未満の場合(図7(b)の期間 $t_c \sim t_e$ を参照)、反転出力としてHレベルを出力し、反対に、2サイクル以上の場合(図7(b)の期間 $t_i \sim t_o$ を参照)、反転出力としてLレベルを出力するのである。

[0016] FF650は、クロック入力端子には、NOR素子610の反転出力が入力される。よって、FF650は、入力されたNOR素子610の反転出力の立ち上りに応じて、FF640の反転出力をラッチする。すなわち、FF650は、NOR素子610の出力がHレベルを示す期間が2サイクル未満の場合(図7(b)の期間 $t_c \sim t_e$ を参照)、Hレベルの反転出力をラッチし(図7(e)の時刻 t_e を参照)、反対に、2サイクル以上の場合(図7(b)の期間 $t_i \sim t_o$ を参照)、Lレベルの反転出力をラッチするのである(図7(e)の時刻 t_o を参照)。

[0017] ここで、FF650においてLレベルがラッチされた場合、PLL回路がロック状態であるものとして判定される。よって、ロック状態の場合には、FF650から出力されるロック検出信号LDはLレベルとなる。反対に、FF650においてHレベルがラッチされた場合、PLL回路がアンロック状態であるものとして判定される。よって、アンロック状態の場合には、FF650から出力されるロック検出信号LDはHレベルとなる。

特許文献1:特開平6-112818号公報

[0018] <<関連出願の相互参照>>

この出願は、2004年3月2日に出願した日本特許出願2004-057529に基づいて優先権を主張し、その内容を本願に援用する。

発明の開示

発明が解決しようとする課題

[0019] 図6に示したようなロック検出回路は、ロック状態を検出した後は(図7(e)の時刻 t_o を参照)、ロック状態が検出されたことを示すロック検出信号LD(Lレベル)が維持される。その後、PLL回路がアンロック状態となった場合には、ロック検出信号LDが適宜なタイミングでリセットされない限り、実際にはアンロック状態であるにも関わらずロック状態が検出されたままである。このため、ロック検出の精度が低下するという課題

があった。

[0020] さらに、図6において、ロック状態からアンロック状態へと切り替わった後(図7(e)の時刻 t_0 を参照)、外乱ノイズの影響などによって基準信号 f_r もしくは比較信号 f_v にジッタが生じた結果、位相比較器の動作が不安定となり、位相差信号 Φ_r 及び Φ_v が、微小なパルス幅(例えば、一サイクル分)を有したヒゲ状のノイズとして現れる場合を考える。なお、アンロック状態へと切り替わった際には、NOR素子610、AND素子630の出力がLレベルとなり、クロック信号の立ち上りに応じて、FF640の反転出力がHレベルへと切り替わることとなる。

[0021] この場合、NOR素子610の出力が、2サイクル未満の期間でHレベルを示すため(図7(e)の期間 t_u 〜 t_w を参照)、FF640の反転出力はHレベルを維持する。そして、FF650は、アンロック状態を示すHレベルをラッチすることとなる(図7(e)の時刻 t_w を参照)。すなわち、ロック検出信号LDがヒゲ状のノイズなどによって勝手にリセットされるため、ロック検出の精度の低下を招くという課題もあった。

課題を解決するための手段

[0022] 前述した課題を解決するための主たる本発明は、PLL回路の位相比較器から供給される位相差信号に基づいて、前記PLL回路がロック状態であるか否かを検出するロック検出回路において、前記位相差信号が前記位相差の発生を示さない場合には一方のレベルを有するとともに、前記位相差の発生を示す場合には他方のレベルを有した制御信号を出力する第1の回路と、前記制御信号をラッチする第2の回路と、前記ラッチされた制御信号が前記一方のレベルを所定の第1の期間示す場合、前記PLL回路がロック状態であることを示すロック検出信号を所定の第2の期間出力する第3の回路と、を有することとする。

発明の効果

[0023] 本発明によれば、ロック検出の精度を向上させたロック検出回路およびロック検出方法を提供することができる。

図面の簡単な説明

[0024] [図1]本発明の一実施形態に係るPLL回路を含めたロック検出回路の回路図である。

[図2]本発明の一実施形態に係るPLL回路の動作を説明するタイミングチャートである。

[図3]本発明の一実施形態に係るカウンタの回路図である。

[図4]本発明の一実施形態に係るロック検出回路の動作を説明するタイミングチャートである。

[図5]本発明の一実施形態に係る多数決回路もしくは重み付け回路の回路図である。

[図6]従来のPLL回路を含めたロック検出回路の回路図である。

[図7]従来のロック検出回路の動作を説明するタイミングチャートである。

符号の説明

[0025]	10	基準分周器	20	電圧制御発振器
	30	比較分周器	40	位相比較器
	50	チャージポンプ	60	ローパスフィルタ
	100	PLL回路	200	ロック検出回路
	210	NOR素子	220	Dフリップフロップ
	230	ロック判定回路	231	Dフリップフロップ
	232	ExOR素子	233	Dフリップフロップ
	234	Dフリップフロップ	235	ExOR素子
	236	ゲート素子	237	Dフリップフロップ
	241	Dフリップフロップ	242	Dフリップフロップ
	243	Dフリップフロップ	244	AND-OR素子
	245	Dフリップフロップ		
	300	CPU	400	DSP
	510	基準分周器	520	電圧制御発振器
	530	比較分周器	540	位相比較器
	550	チャージポンプ	560	ローパスフィルタ
	600	ロック検出回路	610	NOR素子
	620	Dフリップフロップ	630	AND素子

640 Dフリップフロップ 650 Dフリップフロップ

発明を実施するための最良の形態

[0026] <ロック検出回路>

図1は、PLL回路を含めた本発明の一実施形態に係るロック検出回路の回路図である。なお、本実施形態のロック検出回路は、テレビ受信機、FM受信機、移動体通信機器など、PLL回路を搭載するとともにPLLのロック判定を必要とする全ての電子機器に対して採用される。また、本実施形態のロック検出回路は、PLL回路とは独立した集積回路あるいはバイポーラ回路として実施されてもよいし、PLL回路と併せて集積化された集積回路として実施されてもよい。

[0027] ===PLL回路===

本発明の一実施形態に係るロック検出回路200がロック検出の対象とするPLL回路について、図1の回路図ならびに図2のタイミングチャートをもとに説明する。

[0028] PLL回路は、基準分周器10、電圧制御発振器(以下、VCO)20、比較分周器30、位相比較器40、チャージポンプ50、ローパスフィルタ(以下、LPF)60と、を有する。なお、PLL回路は、通常、LPF60を除いて集積化されており、LPF60は外付けされる。

[0029] 基準分周器10は、発振クロック信号(以下、発振CLK)を所定分周数に応じて分周して、位相比較器40に基準信号frを供給するための分周器である。なお、発振CLKは、水晶発振器などの発振回路において自励発振によって供給されてもよいし、外部からの他励発振によって供給されてもよい。

[0030] VCO20は、印加電圧に応じて発振周波数が制御されるものである。通常、印加バイアス電圧に応じて静電容量が変化する可変容量ダイオードが採用される。なお、VCO20の発振出力foは、PLL回路が組み込まれた電子機器の基準クロック信号として用いられる。

[0031] 比較分周器30は、VCO20の発振出力foを所定分周数に応じて分周して、位相比較器40に比較信号fvを供給するための分周器である。なお、比較分周器30の分周数は、VCO20の発振出力foとして要求される発振周波数に応じて設定される。また、比較分周器30は、分周数が固定の固定分周器としてもよいし、任意に分周数を設

定可能なプログラマブル分周器としてもよい。

- [0032] 位相比較器40は、基準信号frと比較信号fvの位相を比較する。位相比較器40は、基準信号frの位相が比較信号fvの位相より進んでいるとき(図2(a)、(b)の期間Taを参照)、その位相差に応じた位相差信号 Φ_r (図2(c)の期間Taを参照)をチャージポンプ50に供給する。反対に、基準信号frの位相が比較信号fvの位相より遅れているとき(図2(a)、(b)の期間Tbを参照)、その位相差に応じた位相差信号 Φ_v (図2(d)の期間Tbを参照)をチャージポンプ50に供給する。
- [0033] チャージポンプ50は、例えば、電源電圧VCCと接地GNDとの間に、PMOSFET及びNMOSFETを直列接続して構成される。なお、PMOSFETのゲート電極には位相差信号 Φ_r の反転信号が供給され、NMOSFETのゲート電極には位相差信号 Φ_v が供給される。また、PMOSFET及びNMOSFETの接続点に発生する電圧信号CPが、LPF60に供給される。
- [0034] すなわち、チャージポンプ50は、位相差信号 Φ_r 及び Φ_v がともにLレベルの場合、PMOSFET及びNMOSFETはともにOFFとなり、出力(PMOSFET及びNMOSFETの接続点)はハイ・インピーダンスを示す。また、位相差信号 Φ_r がHレベルおよび位相差信号 Φ_v がLレベルの場合、PMOSFETがONおよびNMOSFETがOFFとなり、電源電圧VCCに応じた電圧信号CPを出力する(図2(e)の期間Taを参照)。一方、位相差信号 Φ_r がLレベルおよび位相差信号 Φ_v がHレベルの場合、PMOSFETがOFFおよびNMOSFETがONとなり、接地GNDに応じた電圧信号CPを出力する(図2(e)の期間Tbを参照)。
- [0035] LPF60は、電圧信号CPから高調波成分を除去するとともに電圧信号CPを直流化した直流電圧Vrを、VCO20に供給する。この結果、VCO20は、位相差信号 Φ_r に応じた直流電圧Vrが供給された場合には、比較信号fvの位相を進めるべく発振周波数を高めるよう作用する。反対に、位相差信号 Φ_v に応じた直流電圧Vrが供給された場合には、比較信号fvの位相を遅らせるべく発振周波数が低くなるよう作用する。
- [0036] 以上のような負帰還のPLL回路を構成することで、最終的には、基準信号frと比較信号fvとの間の位相差が生じなくなる。つまり、VCO20の発振出力foの発振周波数

は、所望の周波数にロックされた状態となるのである。

[0037] ===ロック検出回路===

ロック検出回路200は、NOR素子210、Dフリップフロップ(以下、FF)220、ロック判定回路230を有する。以下、ロック検出回路200の構成ならびに動作について、図1、図4のタイミングチャートをもとに説明する。なお、図4において、(a)はFF220及びロック判定回路230に供給される後述の分周CLK、(b)はNOR素子210から出力される後述の制御信号、(c)はFF220の出力、(d)はロック判定回路230から出力される後述のロック検出信号LDを表すこととする。

[0038] NOR素子210(『第1の回路』)は、位相差信号 Φ_r 及び Φ_v がともにLレベルの場合、つまり、基準信号frと比較信号fvとの間に位相差が生じない場合(ロック状態)や位相比較を行わない期間にHレベル(『一方のレベル』)の制御信号を出力し、その他の場合(アンロック状態)はLレベル(『他方のレベル』)の制御信号を出力する。なお、本実施形態では、NOR素子210を採用したが、位相比較器40の仕様に応じて適宜な回路素子に変更されるものである。

[0039] FF220(『第2の回路』)は、データ入力端子にはNOR素子210から供給される制御信号が入力され、クロック入力端子には基準分周器10において発振CLKを所定分周した分周クロック信号(以下、分周CLK)が位相反転されて供給される。よって、FF220は、入力された分周CLKの立ち下がりに応じて、NOR素子210から供給される制御信号をラッチする。

[0040] 例えば、FF220は、図4(b)の期間(ta〜tb)に示すように、基準信号frと比較信号fvとの間に位相差が生じないロック状態の場合、図4(b)の期間(ta〜tb)に相当する期間分Hレベル(『一方のレベル』)をラッチする(図4(c)を参照)。また、図4(b)の期間(tb〜td)に示すように、アンロック状態の場合には図4(b)の期間(tb〜td)に相当する期間分Lレベル(『他方のレベル』)をラッチする(図4(c)を参照)。

[0041] ロック判定回路230(『第3の回路』)は、FF220においてラッチされた制御信号がHレベルを所定の第1の期間示す場合、ロック状態が検出されたことを示すロック検出信号LDを、FF220においてラッチされた制御信号がHレベルを示す期間に相当する所定の第2の期間だけ、出力するものである。

- [0042] なお、第1の期間としては、例えば、FF220においてラッチされたヒゲ状のノイズに基づいてロック判定が行われなように、FF220のラッチタイミング(分周CLKの立ち下がり)が複数回発生するまでの期間、つまり、分周CLKの複数サイクルが設定される。
- [0043] また、第2の期間とは、FF220においてラッチされた制御信号がHレベルを示す期間と等しくする他、例えば、分周CLKの一サイクル(一パルス)としてもよい。なお、分周CLKの一サイクルだけ出力する場合、ロック検出信号LDの所定の受信回路側において、FF220においてラッチされた制御信号がHレベルを示す期間だけ、受信したロック検出信号LDをラッチするラッチ回路を設けておく必要がある。
- [0044] ここで、基準信号frもしくは比較信号fvにジッタが発生するなど、位相比較器40において位相差が収束せずに不安定な状態である場合、微小なHレベルのパルス幅を有した位相差信号 Φ_r 及び Φ_v (ノイズ)が発生することとなる。このとき、NOR素子210の出力である制御信号がLレベルとなり、ひいては、FF220がLレベルをラッチする恐れがある。しかしながら、ロック判定回路230は、FF220で一サイクル分のみラッチされた制御信号のレベルに基づいてロック／アンロックの誤った判定を行うことがないため、ロック検出の精度が向上することとなる。
- [0045] また、ロック検出信号LDは第2の期間だけ出力される。すなわち、ロック検出信号LDは、第2の期間後には必ずリセットされるため、従来の場合のように、実際の状態にそぐわないロック検出信号LDが出力されることがなくなる。
- [0046] <ロック判定回路>
===カウンタ方式===
本発明の一実施形態に係るカウンタ方式のロック判定回路230の構成ならびに動作について、図3の回路図ならびに図4のタイミングチャートをもとに説明する。
- [0047] なお、カウンタ方式のロック判定回路230とは、FF220においてラッチされた制御信号が連続してHレベルを示す期間を計測し、その計測した期間が所定の第1の期間を超える場合にロック検出信号LDを、FF220においてラッチされた制御信号がHレベルを示す第2の期間出力するものである。ここで、ロック判定の基準となる第1の期間が適宜な期間に設定されることで、ロック／アンロックの判定を精度良く且つ効

率的に行えることとなる。

- [0048] 図3は、第1の期間として分周CLKの2サイクルを設定した場合の回路構成例である。なお、図3において、(a)は基準分周器10から供給される分周CLK、(c)はFF220の出力、(d)はロック検出信号LDを表すこととする。
- [0049] カウンタ方式のロック判定回路230は、共通の分周CLKによって同期させたFF231、233、234、237と、ExOR(排他的論理和)素子232、235と、ゲート素子236、によって構成される。
- [0050] FF231は、データ入力端子にFF220の出力が入力され、クロック入力端子に分周CLKが入力される。よって、FF231は、分周CLKの立ち上りに応じて、FF220の出力をラッチする(図4(g)を参照)。
- [0051] ExOR素子232は、FF231の入力と出力の状態、すなわちFF231におけるロック／アンロックの状態の切り替わりを監視しており、FF231の入力と出力の状態が同じ場合にはLレベル、異なる場合にはHレベルを出力する(図4(f)を参照)。ここで、FF231の入力と出力の状態変化のタイミングは、分周CLKの1/2サイクル分位相がずれているため、ExOR素子232からリセット信号としてHレベルが出力される期間は、分周CLKの1/2サイクルである。なお、ExOR素子232の出力は、FF233、234の状態をリセットするためのリセット信号(出力がHレベルの場合)として用いられる。
- [0052] FF233、ExOR235、FF234を組み合わせて構成される論理回路(233、234、235)は、ExOR素子232からリセット信号を受信してから分周CLKの1/2サイクル後にリセット信号が解除された後、分周CLKの2サイクル分時刻が経過したときには、Hレベルを出力する。この後、つぎのリセット信号を受信するまでの間、FF234からHレベルもしくはLレベルを出力する(図4(h)を参照)。なお、リセット信号が解除された後、分周CLKの2サイクル分時刻が経過する前につぎのリセット信号を受信する場合には、FF234はHレベルを出力せずにLレベルの出力を維持する。すなわち、論理回路(233、234、235)は、FF231におけるロック／アンロックの状態が、分周CLKの(1/2+2)サイクルの期間、継続するか否かを監視するものである。
- [0053] 例えば、図4(h)に示すように、時刻teにおいてリセット信号が解除された後、分周CLKの2サイクル分経過後の時刻tgにおいて、Lレベル出力からHレベル出力へと

切り替わる。そして、時刻thから分周CLKの1/2サイクル後つぎのリセット信号が入力されて、Hレベル出力からもとのLレベル出力へと切り替わるのである。

[0054] ゲート素子236とFF237を組み合わせて構成される論理回路(236、237)は、FF234の出力がLレベルとなる場合にはFF237の出力として前の状態を保持する。一方、FF234の出力がHレベルとなる場合には、FF237は、分周CLKの立ち上がりでFF231の出力をラッチする。ここで、FF237においてHレベルがラッチされた場合、PLL回路がロック状態であるものと判定される。よって、ロック状態の場合には、FF237から出力されるロック検出信号LDはHレベルとなる。反対に、FF237においてLレベルがラッチされた場合、PLL回路がアンロック状態であるものと判定される。よって、アンロック状態の場合には、FF237から出力されるロック検出信号LDはLレベルとなる。

[0055] すなわち、論理回路(236、237)は、FF231におけるロック/アンロックの状態が分周CLKの $(1/2+2)$ サイクルの期間継続しない場合には、ロック検出信号LDのレベルを維持することとなる。また、論理回路(236、237)は、FF231におけるロック/アンロックの状態が分周CLKの $(1/2+2)$ サイクルの期間を超えて継続する場合には、ロック検出信号LDをその継続したロック/アンロックの状態を示すレベルへと切り替える。そして、切り替わったロック検出信号LDのレベルは、そのレベルが示すロック/アンロックの状態が継続する期間分維持されることとなる。

[0056] このため、例えば、位相比較器40においてヒゲ状のノイズが発生する場合や、ロック/アンロックの状態が短い期間である場合であっても、ロック検出信号LDのレベルが変化しないため、ロック/アンロックの誤った判定が行われることはない。よって、ロック(もしくはアンロック)検出の精度が向上することとなる。

[0057] なお、前述した実施形態において、カウンタ方式のロック判定回路230において用いられるクロック信号は、FF220においてラッチの際に用いたクロック信号の位相を反転させた信号を用いることが好ましい。なぜなら、FF220においてヒゲ状のノイズがラッチされた場合に、そのラッチタイミングでロック判定回路230内部にノイズが伝播されることを防ぐことができるからである。

[0058] また、前述した実施形態において、カウンタ方式のロック判定回路230において用

いられるクロック信号と、FF220においてラッチの際に用いられるクロック信号は、同一のクロック源から生成されることが好ましい。なぜなら、前述したとおり、ロック検出信号LDがHレベルとなる期間を、FF220においてラッチされた制御信号がHレベルを示す期間と常に一致させるためである。

[0059] === 多数決方式 ===

本発明の一実施形態に係るロック判定回路230としては、多数決方式を採用することもできる。なお、多数決方式とは、所定の判定期間内において、ロック状態を示す期間と、アンロック状態を示す期間のうち、いずれか長い方が示す状態をロック検出信号LDとして出力するものである。

[0060] 図1において、多数決方式のロック判定回路230は、例えば、分周CLKの複数サイクル内において、FF220においてラッチされた制御信号がHレベル(ロック状態)を示す期間が、FF220においてラッチされた制御信号がLレベル(アンロック状態)を示す期間を超える場合に、Hレベルのロック検出信号LDを出力するように構成される。

[0061] 図5は、多数決方式のロック判定回路230を実現する一回路例である。なお、図5において、(a)はロック判定回路230に供給される分周CLK、(c)はFF220の出力、(d)はロック検出信号LDを表すこととする。

[0062] 多数決方式のロック判定回路230は、共通の分周CLKによって同期させたFF241、242、243、245と、AND-OR素子244によって構成される。

[0063] FF241は、データ入力端子にFF220の出力が入力され、クロック入力端子に分周CLKが入力される。よって、FF231は、分周CLKの立ち上りに応じて、FF220の出力をラッチする。同様に、FF242、243では、分周CLKの立ち上りに応じて、FF241においてラッチされたデータが、順次シフトされることとなる。

[0064] ここで、FF241の出力を“ $F(t-2)$ ”、FF242の出力を“ $F(t-1)$ ”、FF243の出力を“ $F(t)$ ”と表した場合、AND-OR素子244の出力は、“ $F(t) \times F(t-1) + F(t) \times F(t-2) + F(t-1) \times F(t-2)$ ”となる。つまり、AND-OR素子244は、分周CLKの3サイクル内において、FF241に入力されたデータが、1.5サイクル(3サイクルの1/2)よりも大きい2サイクル以上Hレベルを示す場合に、Hレベルを出力するのである。

- [0065] FF245は、データ入力端子にAND-OR素子244の出力が入力され、クロック入力端子に分周CLKが入力される。よって、FF245は、分周CLKの立ち上りに応じて、AND-OR素子244の出力をラッチする。
- [0066] FF245においてHレベルがラッチされた場合、PLL回路がロック状態であるものと判定される。よって、ロック状態の場合、FF245から出力されるロック検出信号LDはHレベルとなる。反対に、FF245においてLレベルがラッチされた場合、PLL回路がアンロック状態であるものと判定される。よって、アンロック状態の場合には、FF245から出力されるロック検出信号LDはLレベルとなる。
- [0067] このように、多数決方式では、カウンタ方式とは異なり、所定の判定期間内において、ロック／アンロック状態を示す期間が不連続な場合であっても適宜な判定が行えることとなる。また、カウンタ方式では、ロック状態を示す期間を第1の期間分計数するまでは、ロック検出信号LDが確定しないのと比べ、多数決方式では、所定の判定期間の1/2期間ロック状態を示す期間が検出された場合には、ロック検出信号LDが確定することとなる。このため、カウンタ方式と比べて、ロック検出信号LDが確定するまでの時間を短縮できる。
- [0068] === 重み付け方式 ===
本発明の一実施形態に係るロック判定回路230としては、重み付け方式を採用することもできる。なお、重み付け方式とは、所定の判定期間内(例えば、10サイクル内)において、ロック状態を示す期間が所定の第1の期間(例えば、8サイクル)を超える場合に、ロック状態であることを示すロック検出信号LDを出力するものである。
- [0069] 図1において、重み付け方式のロック判定回路230は、例えば、所定の判定期間内において、FF220においてラッチされた制御信号がHレベル(ロック状態)を示す期間が、所定の判定期間よりも短く設定された所定期間を超える場合に、Hレベルのロック検出信号LDを出力するように構成される。
- [0070] 図5に対する視点を変えて、重み付け方式のロック判定回路230を実現する回路構成例を説明する。すなわち、図5に示すロック判定回路230は、分周CLKの3サイクルの判定期間内において、ロック状態を示す期間が2サイクル以上となる場合に、ロック状態であることを示すロック検出信号LDを出力する。よって、図5に示すロック

判定回路は、所謂、重み付け方式のロック判定回路といえる。

[0071] このように、重み付け方式では、多数決方式と同様に、所定の判定期間内において、ロック／アンロック状態を示す期間が不連続な場合であっても適宜な判定が行えることとなる。また、カウンタ方式では、ロック状態を示す期間を第1の期間分計数するまでは、ロック検出信号LDが確定しないのと比べ、重み付け方式では、所定の判定期間よりも短く設定した第1の期間、ロック状態を示す期間が検出された場合、ロック検出信号LDが確定する。このため、重み付け方式では、カウンタ方式ならびに多数決方式と比べて、ロック検出信号LDが確定するまでの時間を短縮できる。また、判定基準となる所定期間を適宜な値に設定することで、多数決方式よりもロック判定の精度が向上することとなる。

[0072] 以上、本発明の例示的なそして現時点で好適とされる実施例を詳細に説明したが、本発明の概念は、種々変更して実施し適用することができ、また付属の請求の範囲は先行技術によって限定されることは別として、種々の変形例を含むものである。

請求の範囲

- [1] PLL回路の位相比較器から供給される位相差信号に基づいて前記PLL回路がロック状態であるか否かを検出するロック検出回路において、
- 前記位相差信号が前記位相差の発生を示さない場合には一方のレベルを有するとともに、前記位相差の発生を示す場合には他方のレベルを有した制御信号を出力する第1の回路と、
- 前記制御信号をラッチする第2の回路と、
- 前記ラッチされた制御信号が前記一方のレベルを所定の第1の期間示す場合、前記PLL回路がロック状態であることを示すロック検出信号を所定の第2の期間出力する第3の回路と、
- を有することを特徴とするロック検出回路。
- [2] 前記第3の回路は、
- 前記ラッチされた制御信号が前記一方のレベルを連続して示す期間を計測し、
- 前記計測した期間が前記第1の期間を超える場合に前記ロック検出信号を出力すること、
- を特徴とする請求項1に記載のロック検出回路。
- [3] 前記第2の期間を、前記ラッチされた制御信号が前記一方のレベルを示す期間とすること、を特徴とする請求項1に記載のロック検出回路。
- [4] 前記第3の回路は、
- 前記第2の回路において前記ラッチの際に用いられる第1のクロック信号とは位相を反転させた第2のクロック信号に基づいて、前記計測を行うこと、
- を特徴とする請求項2に記載のロック検出回路。
- [5] 前記第1及び前記第2のクロック信号を、同一のクロック源から生成されたクロック信号としたこと、を特徴とする請求項4に記載のロック検出回路。
- [6] 前記第3の回路は、
- 所定の判定期間内において、前記ラッチされた制御信号が前記一方のレベルを示す期間が、前記ラッチされた制御信号が前記他方のレベルを示す期間を超える場合に、前記ロック検出信号を出力すること、

を特徴とする請求項1に記載のロック検出回路。

[7] 前記第3の回路は、

所定の判定期間内において、前記ラッチされた制御信号が前記一方のレベルを示す期間が、前記判定期間よりも短く設定した前記第1の期間を超える場合に、前記ロック検出信号を出力すること、

を特徴とする請求項1に記載のロック検出回路。

[8] PLL回路の位相比較器から供給される位相差信号に基づいて前記PLL回路がロック状態であるか否かをロック検出回路が検出する方法であって、

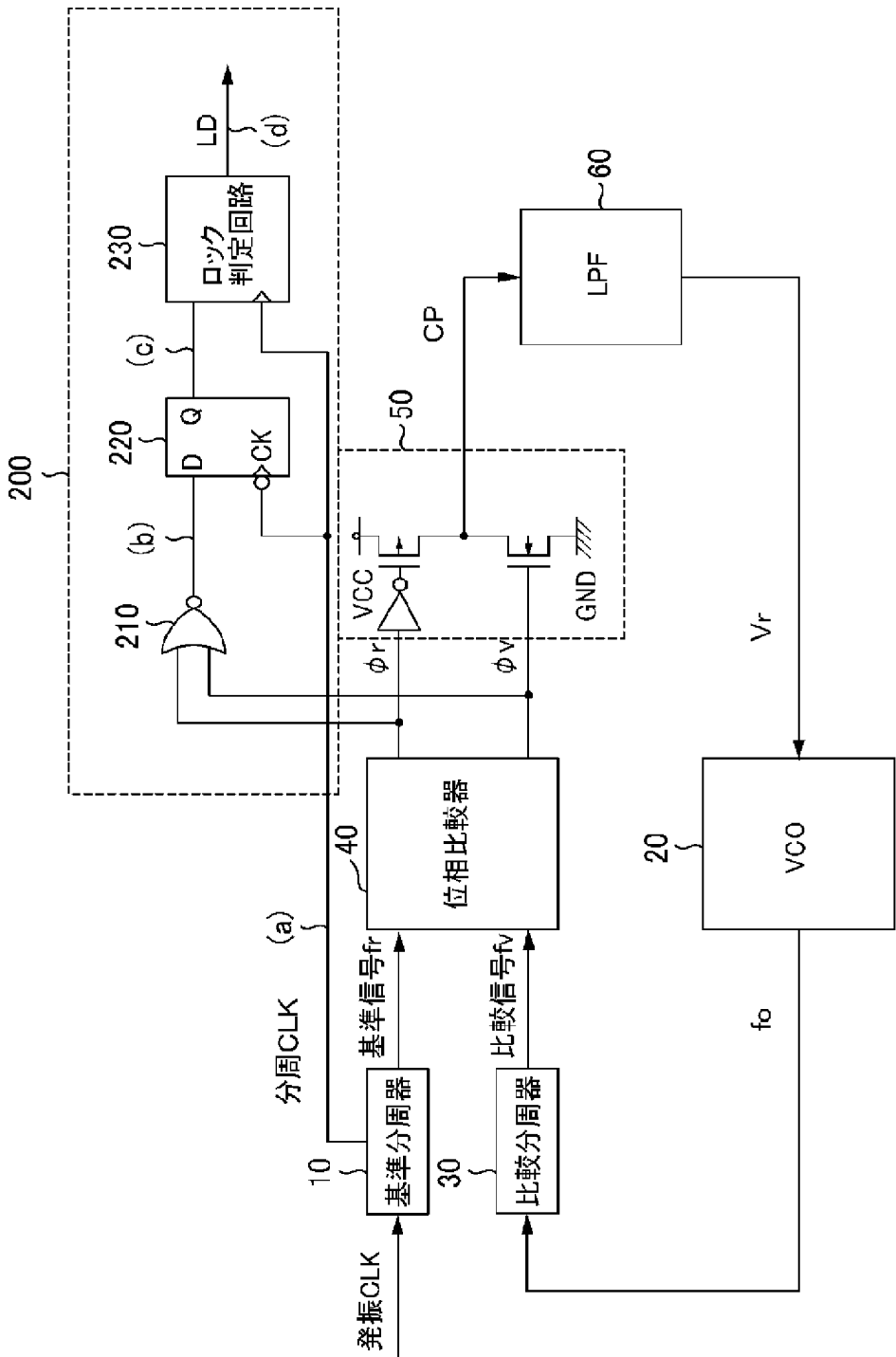
前記位相差信号が前記位相差の発生を示さない場合には一方のレベルを有するとともに、前記位相差の発生を示す場合には他方のレベルを有した制御信号を生成し、

前記制御信号をラッチし、

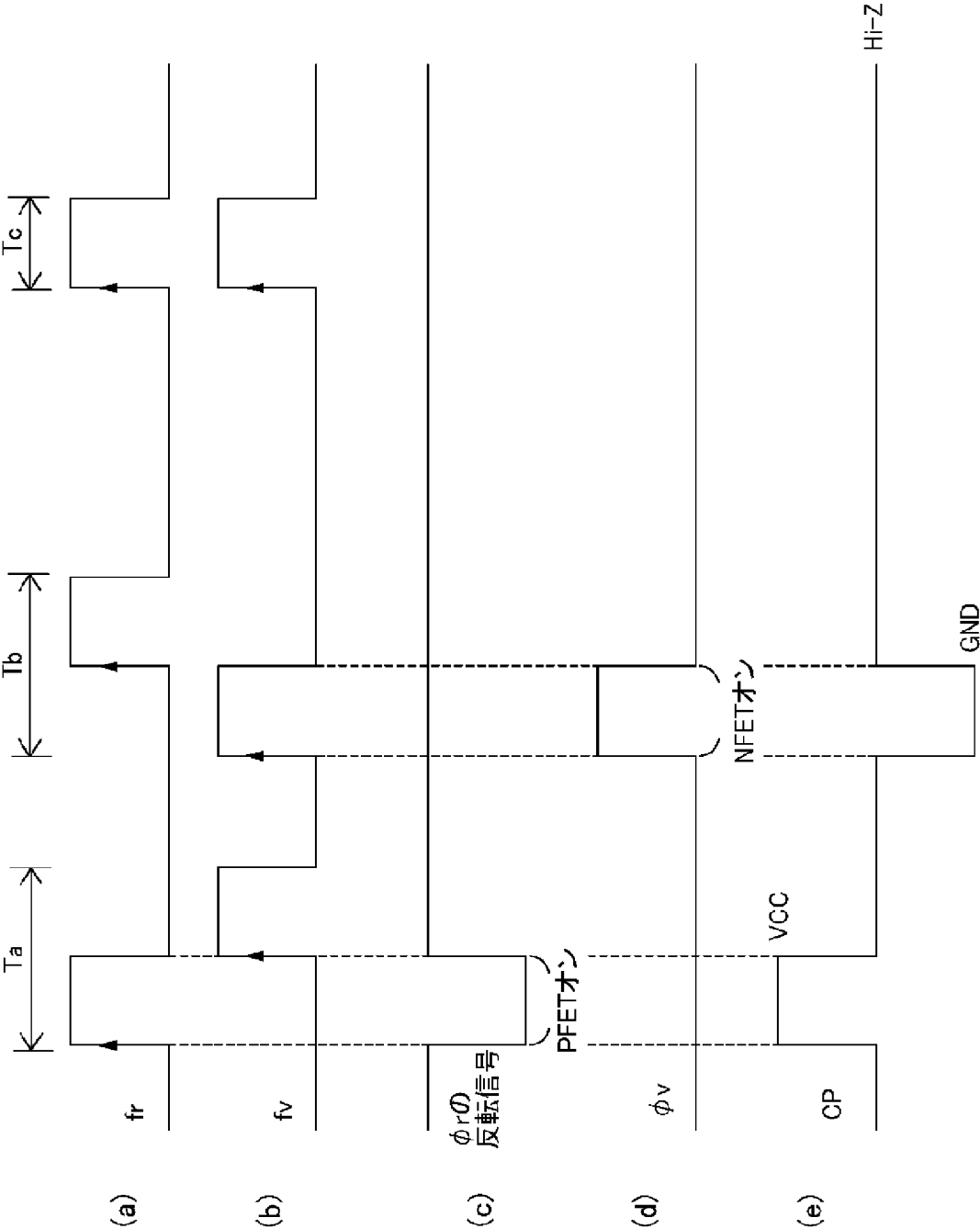
前記ラッチされた制御信号が前記一方のレベルを所定の第1の期間示す場合、前記PLL回路がロック状態であることを示すロック検出信号を所定の第2の期間出力すること、

を特徴とするロック検出方法。

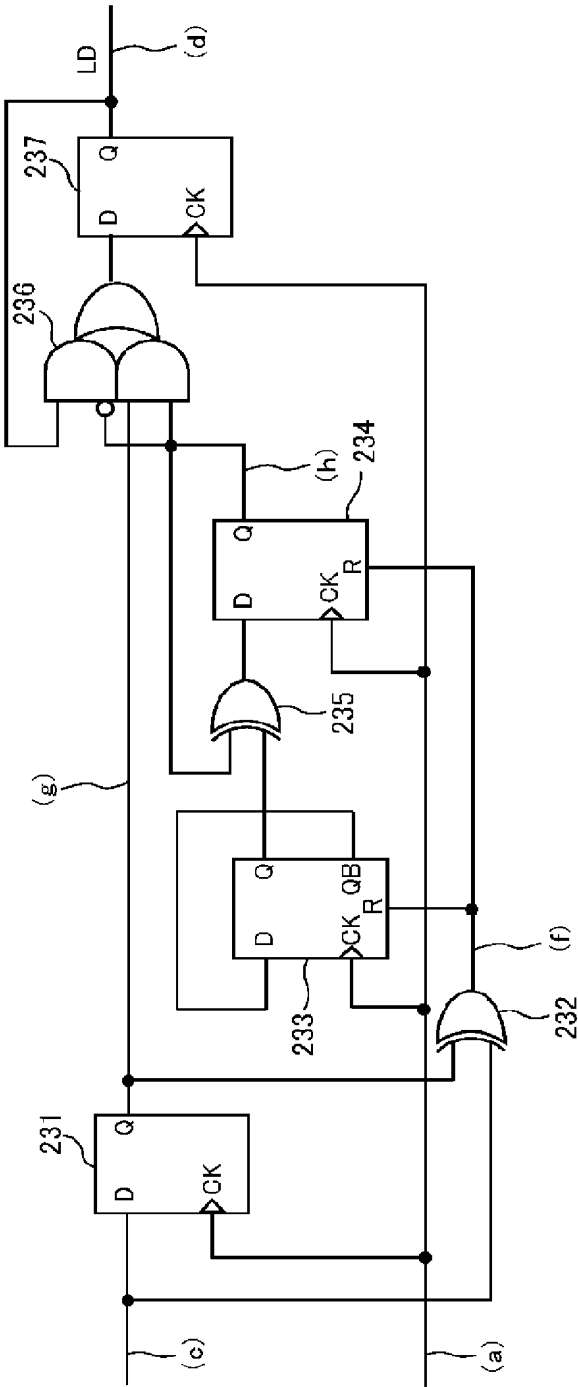
[図1]



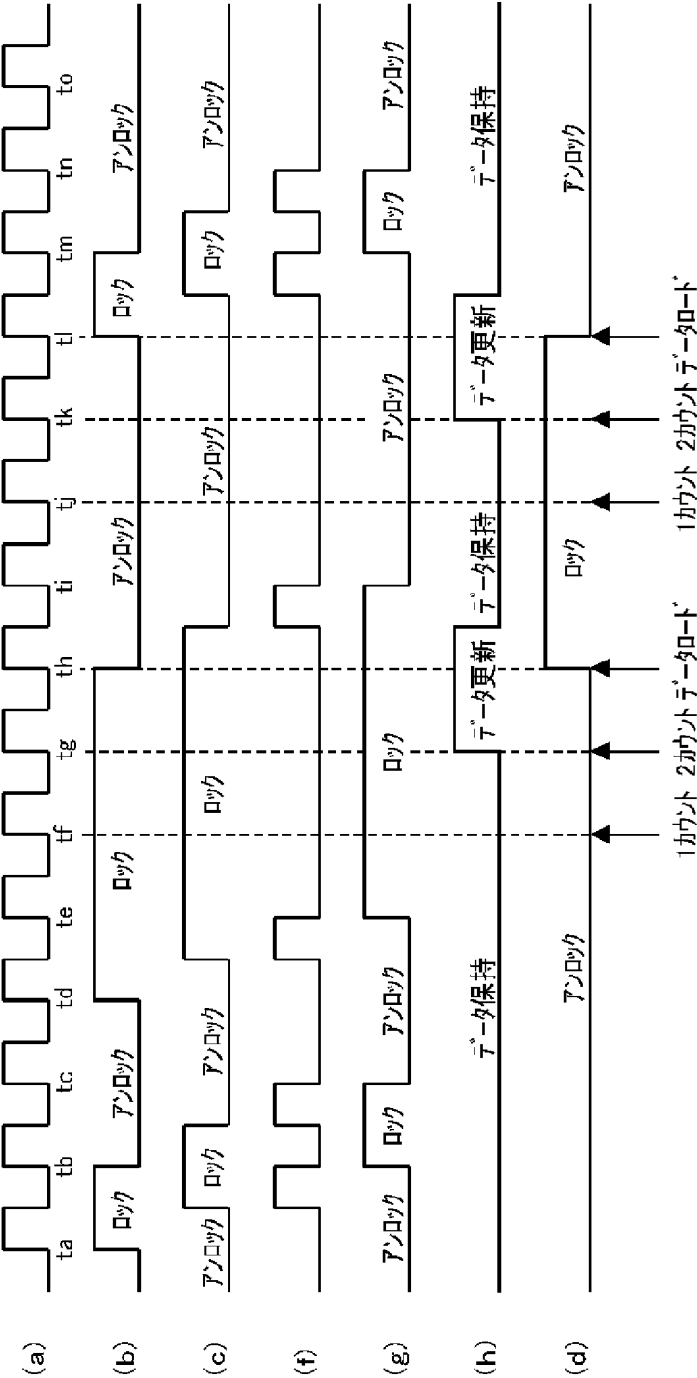
[図2]



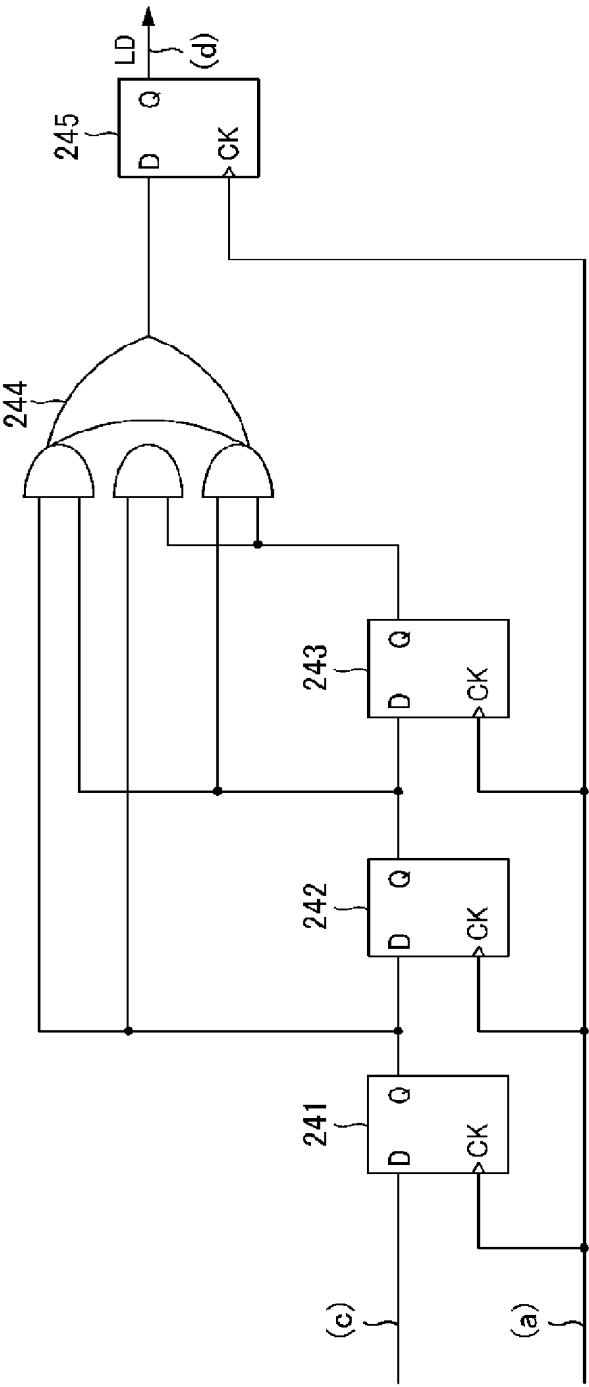
[図3]



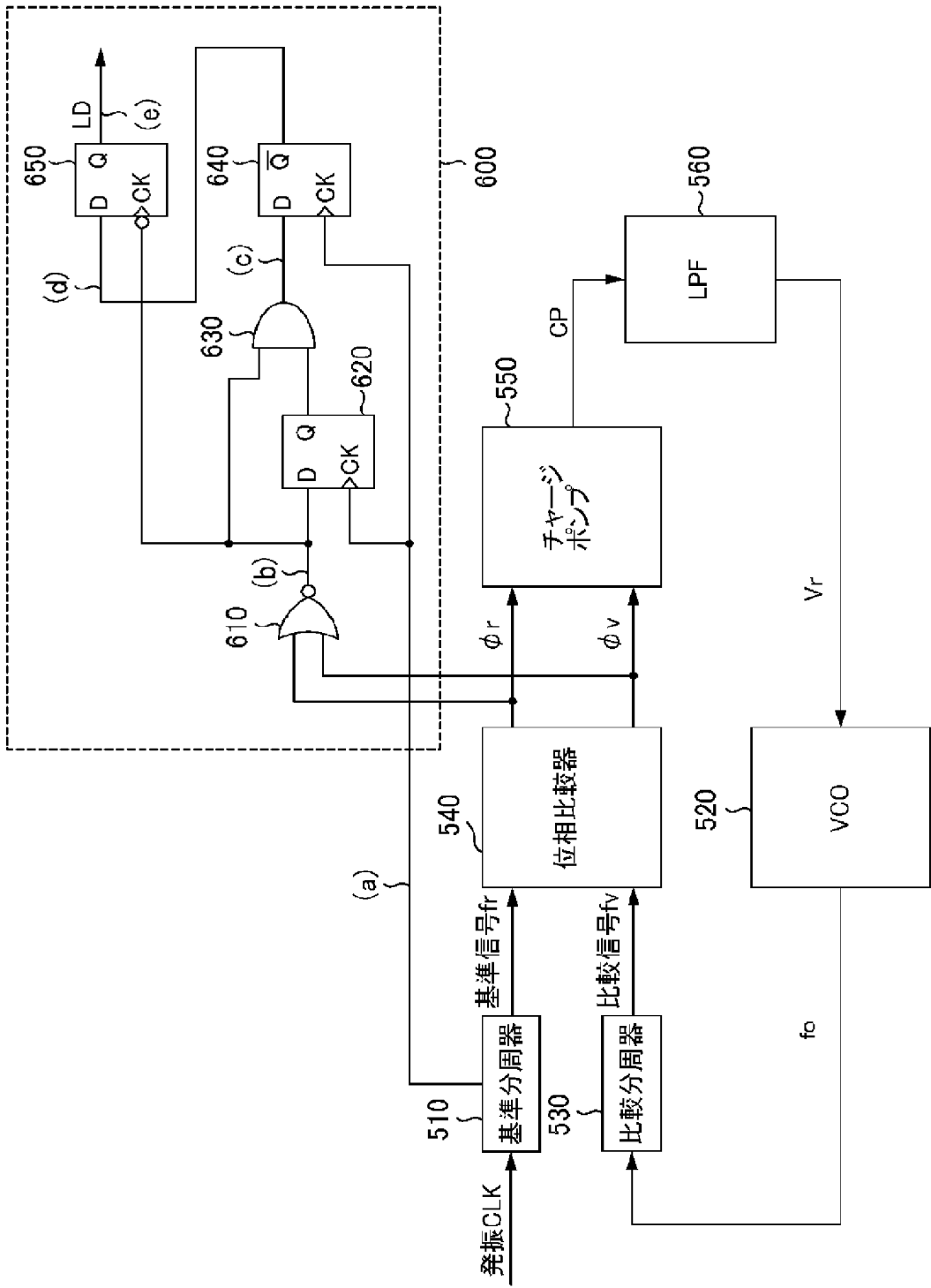
[図4]



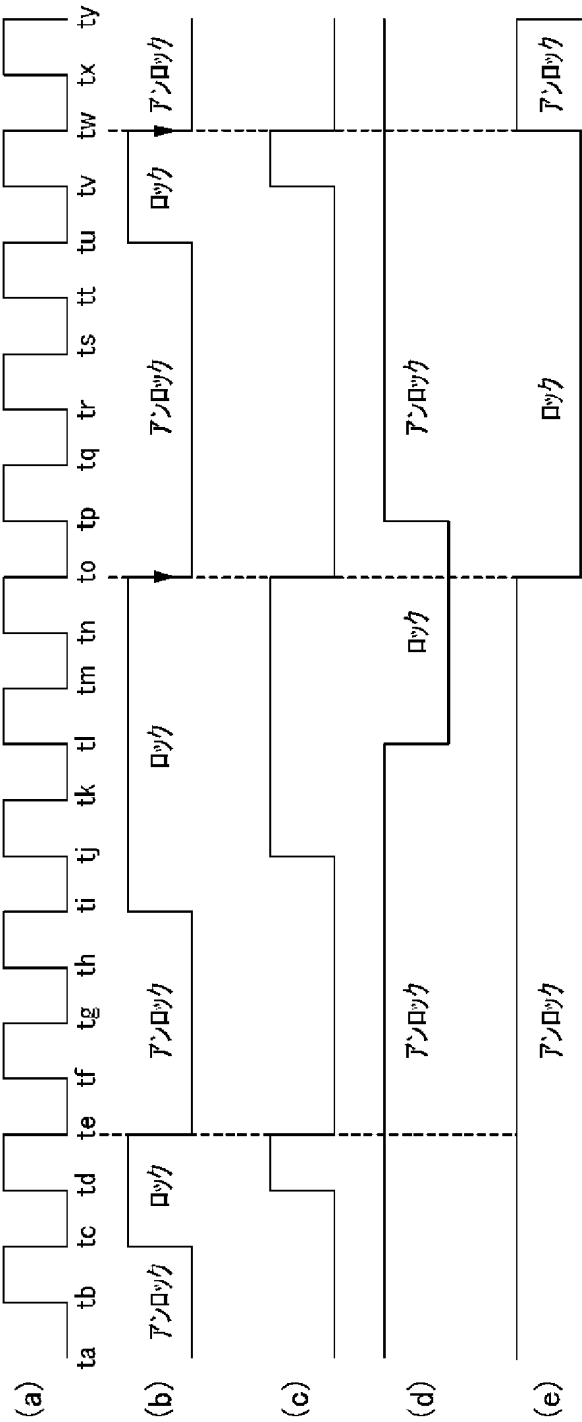
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002157

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H03L7/095

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03L7/06-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-289253 A (NEC Corp.), 19 October, 1999 (19.10.99), Par. No. [0006]; Fig. 5 & US 6411141 B	1, 2, 8
A	JP 62-043215 A (Matsushita Electric Industrial Co., Ltd.), 25 February, 1987 (25.02.87), Page 2, upper left column, line 11 to page 2, upper right column, line 3; Fig. 7 (Family: none)	6, 7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 April, 2005 (28.04.05)

Date of mailing of the international search report

17 May, 2005 (17.05.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/095

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/06-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-289253 A (日本電気株式会社) 1999. 10. 19, 段落【0006】, 図5 & US 6411141 B	1, 2, 8
A	JP 62-043215 A (松下電器産業株式会社) 1987. 02. 25, 第2頁左上欄第11行-第2頁右上欄第3行, 図7 (ファミリーなし)	6, 7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

28. 04. 2005

国際調査報告の発送日

17.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W

9750

電話番号 03-3581-1101 内線 3574